

## PATENT ABSTRACTS OF JAPAN

03-9805-TS-B (1)

(11)Publication number : 64-054758  
 (43)Date of publication of application : 02.03.1989

(51)Int.Cl.

H01L 27/14  
 H01L 27/04  
 H01L 31/02  
 H01L 31/10

(21)Application number : 62-211952  
 (22)Date of filing : 26.08.1987

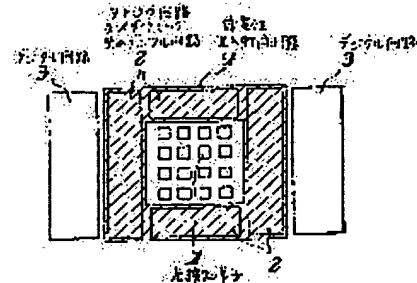
(71)Applicant : FUJI ELECTRIC CO LTD  
 (72)Inventor : TSURUTA YOSHIO  
 YOKOYAMA SHOTARO  
 SHIMIZU AKINORI  
 ENOMOTO YOSHINARI  
 NISHIBE TAKASHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

PURPOSE: To prevent an erroneous operation due to an erroneous operation and parasitic capacity caused by a light by providing a conductive light incident preventing insulating film only on a region of a predetermined circuit in an IC device in which part of many semiconductor elements is of an optical sensitive element.

CONSTITUTION: A conductive light incident preventing insulating film 4 is provided only on an analog circuit and a dynamic type digital circuit 2 on a region except a photodetecting region of a one-chip IC device having photodetectors 1 to prevent a leakage current from generating due to a light, thereby performing a stable analog operation. On the other hand, since a digital circuit 3 does not have a film 2, a parasitic capacity through the film 2 does not occur. According to this configuration, it can prevent an erroneous operation due to the light and to a parasitic capacity to perform stable operation and high speed.



## LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

⑩日本国特許庁 (JP)

⑪特許出願公開

## ⑫公開特許公報 (A) 昭64-54758

⑬Int.Cl.  
H 01 L 27/14  
27/04  
27/14

識別記号

庁内整理番号

8122-5F  
D-7514-5F  
A-8122-5F

⑭公開 昭和64年(1989)3月2日  
※審査請求 未請求 発明の数 1 (全4頁)

⑮発明の名称 半導体集積回路装置

⑯特願 昭62-211952

⑯出願 昭62(1987)8月26日

⑰発明者 鶴田 芳雄 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑰発明者 横山 章太郎 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑰発明者 清水 了典 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑰発明者 榎本 良成 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑰出願人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑰代理人 弁理士 染谷 仁

最終頁に続く

## 明細書

## 1. 発明の名称

半導体集積回路装置

## 2. 特許請求の範囲

同一基板上に製作した多段の半導体素子の一部が光検知素子である半導体集積回路装置において、上記光検知素子以外の領域の中心アナログ回路部及びダイナミック動作を行うデジタル回路部を含む領域上にのみ遮蔽膜を介して導電性光入射防止膜を備えたことを特徴とする半導体集積回路装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、光検知素子のような光検知素子を含む半導体集積回路装置であって、回路構成素子の光による動作の劣化を防止した半導体集積回路装置に関するもの。

## 〔従来の技術〕

従来より、光検知素子を応用した装置が多く実用化されている。それらはいずれも光検知部と信号処理回路部とが別々の容器に納められていたが、最近はシステムのコンパクト化、信号処理速度の向上化などの点で装置の性能を改善するために光検知部と信号処理回路部とを同一の基板上に作り込んだ半導体集積回路装置とし用いられるようになっている。その場合に問題となるのは、光が光検知素子以外の集積回路素子に入射したとき、半導体内で本来は不要な電子・正孔対を起し、そのため素子のリーコンデンサー電流が増加するなどの好ましくない現象が生することである。この現象は、アナログ回路やダイナミック動作を行うデジタル回路においても大きな問題となる。

一例として、走査回路などに用いられるダイナミック型のMOSシフトレジスターについて考えた場合、MOSトランジスタのゲート容量が一時的な情報記憶として用いられるが、この部分に光が入射すると、複合領域に発生する不要な電子・正孔対によりリーコンデンサー電流が流れ、記憶時間を著

しく短くすることになる。その結果、リーク電流によって決まる時定数よりも低周波動作のクロックパルスでは誤動作が発生する。

上述のような問題に対する対策として、例えば特公昭52-26876号に開示されているように、光検知素子以外の半導体素子を含む領域上に導電性物質を絶縁膜を介して設ける方法が提案されている。

(発明が解決しようとする問題点)

上記のような光検知素子以外の半導体素子を含む領域上に導電性物質を絶縁膜を介して設ける方法によれば、不必要的電子-正孔対によるリーク電流などの問題を解決することができ、またこの方法は通常のICプロセス工程と同じプロセスで形成できることなどの長所もあるが、新たに次のように重大な欠点が生じる。

即ち、導電性物質を半導体素子を含む領域上に形成した場合、下層の金属配線との間に寄生容量を形成してしまい、動作遅延を起こし、誤動作を発生させる可能性があることである。特に、アル

ミニウムなどの金属配線は抵抗率が低く、配線下の絶縁膜が厚い故に半導体基板との寄生容量も小さいため配線に長く引き回されて使用される場合が多いが、上層の光入射防止膜とは配線面積に比例した分だけ寄生容量を形成してしまう。また、配線アルミニウム上の絶縁膜は素子の保護膜であることから、耐熱性の高い窒化けい素膜が用いられることが多いが、この窒化けい素膜は高い比誘電率(7.5)を有するため、このことも寄生容量を大きくする一因となっている。このように、金属配線が大きな寄生容量を持った場合に、高速動作を必要とする論理回路などにおいては、動作遅延を引き起こすため誤動作が発生し、素子が正常に働かないという問題が生じる。

従って、本発明は、上記のような従来技術の問題点を除去するためになされたものであって、光検知素子のような光感応素子を含む半導体集積回路の光による誤動作及び寄生容量による誤動作が防止された半導体集積回路装置の提供することを目的とする。

(問題点を解決するための手段)

本発明者は、光感応素子を含む半導体集積回路の光感応素子以外の領域の中で、光によるリーク電流などの影響を受け易いアナログ回路及び低速動作を行うダイナミック型のデジタル回路の領域上にのみ導電性光入射防止膜を形成させることによって、光によるリーク電流の影響を無くし、合わせて高速動作を行うデジタル部への寄生容量の影響を無くすことができることを見出した。

しかし、本発明は、同一基板上に製作した多数の半導体素子の一部が光感応素子である半導体集積回路において、上記光感応素子以外の領域の中で、アナログ回路部及びダイナミック動作を行うデジタル回路部を含む領域上にのみ、絶縁膜を介して導電性光入射防止膜を備えたことを特徴とする半導体集積回路装置に係る。

ここで、本発明による半導体集積回路装置の構造を図面を参照しながら説明する。

第1図は、本発明に従う光検知素子を含む半導体集積回路装置の構造を上面から見た概略説明図

である。第1図において、1、2および3はそれぞれ基板面(この場合には紙面である)に形成された光検知素子、アナログ回路及びダイナミック型のデジタル回路、並びにデジタル回路である。本発明による導電性光入射防止膜4は、光検知部以外の領域の中で、アナログ回路部及び低速動作を行うダイナミック型のデジタル回路部の領域(斜線で示した部分)のみに設けられている。

本発明による導電性光入射防止膜は、回路配線などに用いられるアルミニウム、モリブデン、タンゲステンなどで形成される。これは通常のIC製造プロセス工程と同じプロセスを利用して形成させることができる。

(作用)

本発明では、光感応素子を含む半導体集積回路装置において、光検知部以外の領域の中で、アナログ回路部及びダイナミック型のデジタル回路部の領域のみに導電性光入射防止膜を設け構造としたことにより、光によるリーク電流が無くなり、安定したアナログ動作が可能となり、またデジタ

ル部は寄生容量が発生しないので高速動作が可能となる。なお、デジタル部に入射される光は、回路が低速なダイナミック動作を行わない限り、リーク電流による影響は特に問題とならない。また、もしデジタル部が低速のダイナミック動作を行う場合は、逆に寄生容量の影響は問題とならないので、光入射防止膜を回路上に形成すれば良いことになる。

#### 〔実施例〕

以下、本発明を実施例により説明する。

第2図に、本発明の一実施例である光信号処理用半導体集積回路装置の要部構造の断面図を示す。

まず、N型シリコン基板5の表面には、通常のIC製造プロセスに従ってPN接合フォトダイオード6、アナログ部MOSトランジスタ7及びデジタル部MOSトランジスタ8が形成される。9は熱放熱膜、10はアルミニウム配線、11は保護膜としての電離化けい素膜であって、これらも通常のIC製造プロセス工程を利用して形成される。

次いで、このように各層の被膜が形成された後、

本発明に従って、アナログ部MOSトランジスタ上に導電性光入射防止膜4が形成される。この導電性光入射防止膜は、回路配線などに用いられるアルミニウム、モリブデン、タンゲステンなどから通常のIC製造プロセス工程と同様の工程によって容易に形成することができる。

#### 〔発明の効果〕

本発明によれば、光検知素子を含む半導体集積回路装置において、通常のIC製造プロセスで容易に形成できる導電性光入射防止膜を、光の影響を受けるアナログ部及びダイナミック型のデジタル部の領域上にのみ形成することによって、光によるリーク電流の影響を防止し、合わせて高速動作を行うデジタル部への寄生容量の影響を防止することができ、これにより安定して動作する半導体集積回路装置を実用に供することができる。

#### 4. 図面の簡単な説明

第1図は、本発明による導電性光入射防止膜を用いた半導体集積回路装置を上面から見た概略説

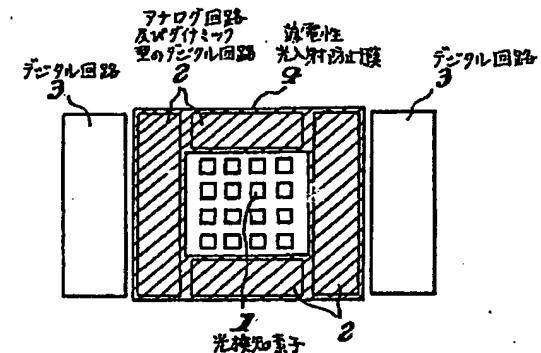
明図である。第2図は本発明の一実施例である光信号処理用半導体集積回路装置の要部構造の断面図である。

- 1 .. 光検知素子、
- 2 .. アナログ回路及びダイナミック型のデジタル回路、
- 3 .. デジタル回路、
- 4 .. 導電性光入射防止膜。

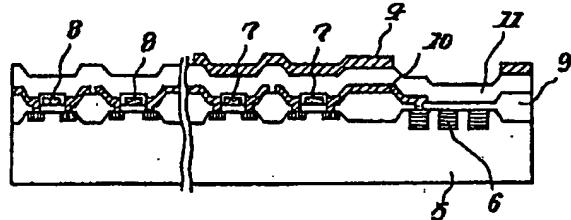
特許出願人 富士電機株式会社

代理人弁理士桑谷

第1図



第2図



第1頁の続き

⑪Int.Cl.  
H 01 L 31/02  
31/10

識別記号

厅内整理番号  
B-6851-5F  
A-7733-5F

⑫発明者 西 部 隆 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会  
社内

特許法第17条の2の規定による補正の掲載

平成4.4.27発行

昭和62年特許願第 211952号(特開平  
I-54758号, 平成1年3月2日  
発行 公開特許公報 I-548号掲載)につ  
いては特許法第17条の2の規定による補正があつ  
たので下記のとおり掲載する。 7(2)

Int. C1.	識別 記号	庁内整理番号
H01L 27/14		D-8122-4M
27/146		H01L 27/14
31/02		A-8122-4M
		H01L 27/14
		B-7210-4M
		H01L 31/02

平成4.4.27発行  
手続補正書

平成3年11月25日

特許庁長官 深沢 亘 殿

1. 事件の表示

昭和62年特許願第211952号

2. 発明の名称

半導体集積回路装置

3. 補正をする者

事件との関係 特許出願人

住所 神奈川県川崎市川崎区田辺新田1番1号

名称 (523) 富士電機株式会社

4. 代理人

東京都千代田区平河町2-16-6

第3工業ビル7階(〒102)

染谷園 感特許事務所

電話 東京(03)3230-0071

(7075) 弁理士 染谷仁

5. 補正命令の日付 自発

6. 補正により増加する発明の数なし

7. 補正の対象 明細書の「特許請求の範囲」および  
「発明の詳細な説明」の欄。

8. 補正の内容 別紙のとおり。

特許庁

3.11.25

本願明細書を以下のとおりに補正する。

(1) 特許請求の範囲を次のとおりに訂正する。

「特許請求の範囲

同一基板上に製作した多数の半導体素子の一部  
が光感応素子である半導体集積回路装置において、  
上記光感応素子以外の領域の中のアナログ回路部  
及びダイナミック動作を行うデジタル回路部を含  
む領域上にのみ絶縁膜を介して導電性光入射防止  
膜を備えたことを特徴とする半導体集積回路装置。」

(2) 第2ページ第10行「正孔対」と「励起」の  
間に「を」を加入する。

(3) 第4ページ第12行「理論回路」を「論理回  
路」と訂正する。

(4) 同ページ第19行「装置の」を「装置を」と  
訂正する。

(5) 第5ページ第4行「抵速」を「低速」と訂  
正する。

(6) 第8ページ第8行「抵速」を「低速」と訂  
正する。

(7) 第8ページ第1行「モス」を「MOS」と  
訂正する。